

PATENT
Docket No.: 12377/6

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT : Makoto Ogawa et al.

SERIAL NO. : Unassigned

FILED : Herewith

FOR : INFORMATION PROCESSING UNIT

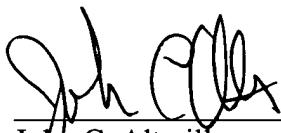
COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, VA 22313-1450
ATTN: Manager, Application Division

CLAIM TO CONVENTION PRIORITY UNDER 35 U.S.C. § 119

SIR:

The Convention Priority Date of Japanese Patent Application No. 2003-039741 filed in Japan on February 18, 2003, was claimed in the Declaration/Power of Attorney filed herewith. To complete the claim to the Convention Priority Date of said Japanese Patent Applications, a certified copy thereof is submitted herewith.

Respectfully submitted,



John C. Altmiller
(Reg. No. 25,951)

Dated: February 18, 2004

KENYON & KENYON
1500 K Street, N.W., Suite 700
Washington, DC 20005-1257
Tel: (202) 220-4200
Fax: (202) 220-4201
484352_1.DOC

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月18日
Date of Application:

出願番号 特願2003-039741
Application Number:

[ST. 10/C] : [JP2003-039741]

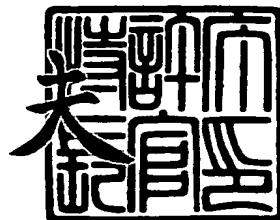
出願人
Applicant(s):

小川 誠
柴田 直
ローム株式会社

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 XY030111
【提出日】 平成15年 2月18日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 15/16
【発明の名称】 情報処理装置
【請求項の数】 5
【発明者】
【住所又は居所】 東京都文京区根津 2-11-11-301
【氏名】 小川 誠
【発明者】
【住所又は居所】 東京都江東区越中島 1-3-16-411
【氏名】 柴田 直
【特許出願人】
【住所又は居所】 東京都文京区根津 2-11-11-301
【氏名又は名称】 小川 誠
【特許出願人】
【識別番号】 591022117
【氏名又は名称】 柴田 直
【特許出願人】
【識別番号】 000116024
【氏名又は名称】 ローム株式会社
【代理人】
【識別番号】 100090273
【弁理士】
【氏名又は名称】 國分 孝悦
【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0104942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 1つのチップに複数のプロセッサを有する情報処理装置であつて、

上記複数のプロセッサは、それぞれが独立して命令実行可能であり、

上記プロセッサは、命令コードの入力履歴に基づいて、命令コードに割り当てられている複数の命令の中から、入力される命令コードにより実行する命令を一意に決定するデコーダ回路をそれぞれ有することを特徴とする情報処理装置。

【請求項 2】 上記デコーダ回路は、上記命令コードの入力履歴に応じた所定の情報を保持し、当該情報及び入力される命令コードに基づいて、上記実行する命令を一意に決定することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 任意の上記命令コードを割り当て可能な命令を有することを特徴とする請求項 1 または 2 に記載の情報処理装置。

【請求項 4】 上記命令コードの入力履歴にかかわらず、入力される命令コードにより決定される命令を有することを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の情報処理装置。

【請求項 5】 1つのチップにそれぞれが独立して命令実行可能な複数のプロセッサを有する情報処理装置であつて、

上記プロセッサにて実行可能な命令は、複数の命令群に分類されるとともに、同一の命令群内では互いに異なるように命令コードが各命令に付与され、

上記プロセッサは、命令コードの入力履歴に基づいて入力される命令コードに対する命令群を選択して、入力される命令コードにより実行する命令を一意にそれぞれ決定することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理装置に関し、特に、1つのチップに並列動作可能な複数のプロセッサを有する情報処理装置に用いて好適なものである。

【0002】**【従来の技術】**

並列計算機の1つとして、单一命令多重データ（SIMD：Simple Instruction Multiple Data）型並列プロセッサがある。SIMD型並列プロセッサは、1つのチップ内に複数のプロセッサを有し、供給される命令に応じた1つの処理を当該複数のプロセッサにより同時に並列実行する。

【0003】**【発明が解決しようとする課題】**

SIMD型並列プロセッサを構成する各プロセッサは、演算器とメモリとで構成される。SIMD型プロセッサは、供給される命令に応じた1つの処理をすべてのプロセッサにより並列実行させることから、各プロセッサのメモリにはデータのみが保持されている。

【0004】

したがって、SIMD型プロセッサは、複数のプロセッサを有していながらも、各プロセッサにて異なる処理を並列して実行することができなかった。例えば、データのマッチング等を行う際に、一部のプロセッサに検索処理を行わせ、それに並行して他のプロセッサに詳細な比較処理を行わせることはできなかった。

【0005】

ここで、複数のプロセッサにより異なる処理を並列して実行させるには、各プロセッサのメモリにプログラム（命令）をそれぞれ保持させておく必要がある。しかしながら、近年の汎用プロセッサに用いられる命令セットは、1命令が32ビット或いは64ビットで構成されており、汎用プロセッサと同様の処理を実行可能なプログラムを各プロセッサのメモリに保持させるには大きな記憶容量を要する。一方、1つのチップ内に多くのプロセッサを設けるためには、各プロセッサのメモリの容量は小さい方が望ましい。

【0006】

本発明は、このような事情に鑑みてなされたものであり、各プロセッサにおけるプログラムの保持に要するメモリ容量の増加を抑制しながらも、1つのチップ内に設けた複数のプロセッサにより多様かつ異なる処理を並列して実行できるよ

うにすることを目的とする。

【0007】

【課題を解決するための手段】

本発明の情報処理装置は、1つのチップに複数のプロセッサを有する情報処理装置であって、上記複数のプロセッサは、それぞれが独立して命令実行可能であり、上記プロセッサは、命令コードの入力履歴に基づいて、命令コードに割り当てられている複数の命令の中から、入力される命令コードにより実行する命令を一意に決定するデコーダ回路をそれぞれ有することを特徴とする。

【0008】

本発明によれば、1つの命令コードが複数の命令に対応しているので、複数の命令に互いに異なる命令コードを対応させるよりも命令コード長を短くすることができ、同じ命令コードであっても異なる処理を行うことができるようになる。

【0009】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

図1は、本発明の実施形態による情報処理装置を適用した並列プロセッサ10の構成を示すブロック図である。

【0010】

並列プロセッサ10は、1つのチップ内にプロセッサ11を複数接続して構成される。各プロセッサ11は、メモリ12、命令デコーダ部13及び複数の演算器（プロセッサエレメント：PE）14を有しており、プロセッサ毎に独立して命令を実行することができる。

メモリ12は、プログラム（命令）を記憶するためのプログラムメモリ（命令記憶領域）と、データを記憶するためのデータメモリ（データ記憶領域）とを含み構成される。

【0011】

命令デコーダ部13は、メモリ12のプログラムメモリから命令を読み出してデコードする。また、命令デコーダ部13は、デコード結果に基づいて、後述する内部レジスタや演算器14の制御を行う。なお、命令デコーダ部13の詳細に

については後述する。

演算器14は、従来公知のS I M D型演算器であり、命令デコーダ部13から供給される制御信号に応じた演算を実行する。

【0012】

なお、図1においては、8個の演算器14をそれぞれ有するプロセッサ11を一例として示しているが、各プロセッサ11が有する演算器14の数は任意であり、例えば1つであっても良い。

【0013】

図2は、図1に示した各プロセッサ11での処理動作の概念を説明するための図である。以下の説明では、1つの命令コードは8ビットで構成され、後述するグループコードは3ビットで構成されているものとする。

【0014】

図2において、21は命令キューであり、命令コードを複数保持可能なように複数の命令メモリで構成される。命令メモリは、8ビットの記憶領域をそれぞれ有する。

【0015】

命令デコーダ部13は、グループレジスタ22と命令デコーダ回路23とを有する。グループレジスタ22は、グループコードを記憶するレジスタであり、3ビットの記憶領域を有する。命令デコーダ回路23は、グループコードを参照して命令コードをデコードし、デコード結果に応じた制御処理を行う。 24_i (i は添え字であり、 $i = 1 \sim n$ (n は任意の自然数)) は、図1に示した演算器14に相当する演算器である。

【0016】

ここで、グループコードは、プロセッサ11にて実行可能な処理に係る入力命令を所定の規則に従って分類したグループを指定するものである。グループコードは、グループ毎に互いに異なる値である。

【0017】

入力命令は、例えばシフト演算、ビット演算を含む加減乗除等の四則演算命令、データマッチング等に用いられるW T A演算命令、バースト演算命令、レジス

タ操作命令、メモリ制御命令、フロー制御命令、スカラー命令等に分類してグループ化される。各入力命令の命令コードは、グループ内にて互いに異なっていれば良く、グループが異なる場合には同一の命令コードが存在しても良い。つまり、1つの命令コードによりグループが互いに異なる複数の命令を表現することができる。

【0018】

また、入力命令には、何れのグループにも属しない（グループに依存しない）グローバル命令がある。グローバル命令は、例えば、グループコードを変更するためのグループ変更命令、直後の1命令だけグループコードを変更するためのグループ一時変更命令、予め割り当てた任意の命令を実行するためのエイリアス実行命令等がある。

【0019】

次に、動作について説明する。

命令デコーダ回路23は、命令キュー21の命令メモリから1バイト（8ビット）ずつ命令コードICDを読み出す。命令デコーダ回路23は、読み出した命令コードICDにグループレジスタ22より供給されるグループコードGRを附加してデコードする。つまり、命令デコード回路23は、3ビットのグループコードGR及び8ビットの命令コードからなる11ビットのコード（以下、「内部命令コード」とも称す。）をデコードする。

【0020】

デコードの結果、通常の命令、例えば四則演算命令等である場合には、命令デコーダ回路23は、当該命令に応じて制御信号INSを各演算器24_iに供給する。また、デコードの結果、グループコードの変更に係る命令、例えばグループ（一時）変更命令等である場合には、命令デコーダ回路23は、当該命令により指定される変更後のグループコードGRSをグループレジスタ22に書き込む。

【0021】

図3は、命令デコーダ部13の構成例を示すブロック図である。

図3において、31は命令コードを保持する命令メモリ、32は命令デコーダ部13による制御に応じて各種演算処理を行う演算器である。

命令デコーダ部13は、命令ビット連結部33、エイリアス命令デコーダ34、エイリアス命令レジスタ35-j（jは添え字であり、jは任意の自然数）、第1のセレクタ36、グループ変更命令デコーダ37、通常命令デコーダ38、エイリアス変更命令デコーダ39、複数サイクル命令ステートレジスタ40、グループレジスタ41、第2のセレクタ42、グループ一時記憶レジスタ43を含み構成される。

【0022】

命令ビット連結部33は、命令メモリ31から命令コードを1バイトずつ読み出す。また、命令ビット連結部33は、過去に入力された命令コードに基づいて設定され、グループ一時記憶レジスタ43に保持されているグループコードを、命令メモリ31から読み出した命令コードに連結し（付加し）内部命令コードとして出力する。

【0023】

エイリアス命令デコーダ34は、命令ビット連結部33より供給される内部命令コードが、当該内部命令コードをエイリアス命令のコードに置き換えるエイリアス実行命令であるか否かを判断する。判断の結果、エイリアス実行命令である場合には、エイリアス命令デコーダ34は、内部命令コードのグループコードに対応するエイリアス命令レジスタ35-jからエイリアス命令（置き換える内部命令コード）を読み出して出力する。

【0024】

エイリアス命令レジスタ35-jは、グループ毎に設けられており、エイリアス命令として割り当てた他グループの命令の内部命令コードがそれぞれ記憶されている。なお、エイリアス命令レジスタ35-jについては、図3に示した例に限らず、例えばすべてのグループでエイリアス命令を共通にするように構成しても良いし、各グループに複数個のエイリアス命令を有するように構成しても良い。

【0025】

第1のセレクタ36は、命令ビット連結部33より供給される内部命令コード、又はエイリアス命令デコーダ34より供給される内部命令コードを選択的に出力する。

【0026】

グループ変更命令デコーダ37は、第1のセレクタ36より供給される内部命令コードがグループ変更命令又はグループ一時変更命令のものであるときには、グループコードを新たなグループコードに変更する。なお、グループ変更命令デコーダ37は、グループ（一時）変更命令に加え、第1のセレクタ36より供給される内部命令コードが予め設定されたグループコードの変更ルールを満足するときには、グループコードを新たなグループコードに変更するようにしても良い。グループコードの変更ルールは、グループ変更命令デコーダ37内に内部命令コードと変更するグループコードとを関連付けるルックアップテーブル（LUT）44等を設け、設定すれば良い。

【0027】

グループ変更命令デコーダ37は、グループ変更命令又は変更ルールに基づいてグループコードを変更する場合には、新たなグループコードの値をグループレジスタ41に書き込む。これにより、グループレジスタ41にて保持している値が新たなグループコードの値に置き換えられる。さらに、グループレジスタ41が保持している値は、グループ一時記憶レジスタ43に第2のセレクタ42を介して供給され、グループ一時記憶レジスタ43にて保持される。

【0028】

一方、グループ一時変更命令に基づいて、直後の命令のみグループコードを変更する場合には、グループ変更命令デコーダ37は、変更するグループコードの値を第2のセレクタ42を介してグループ一時記憶レジスタ43に供給する。これにより、グループ一時記憶レジスタ43にて保持している値が新たなグループコードの値に置き換えられる。この場合には、グループ変更命令デコーダ37は、グループレジスタ41への書き込みは行わない。

【0029】

通常命令デコーダ38は、第1のセレクタ36より供給される内部命令コードが通常命令（四則演算命令等）のものである場合には、通常のプロセッサと同様にして内部命令コードをデコードし、デコード結果に応じた制御信号を演算器32に出力する。

【0030】

エイリアス変更命令デコーダ39は、第1のセレクタ36より供給される内部命令コードがエイリアス変更命令のものであるときに、エイリアス命令レジスタ35_jの値を書き換える。具体的には、エイリアス変更命令デコーダ39は、内部命令コードに示される変更先のグループコードに対応するエイリアス命令レジスタ35_jの値を、内部命令コードに従い置き換える命令の内部命令コード（グループコード及び命令コード）に書き換える。

【0031】

複数サイクル命令ステートレジスタ40は、エイリアス実行命令により置き換えられたエイリアス命令等が2バイト長以上の命令であるときに、最初の1バイトのみエイリアス命令に置き換え、2バイト目以降はエイリアス命令を無視するように第1のセレクタ36を制御する。

【0032】

すなわち、複数サイクル命令ステートレジスタ40は、最初の1バイトのみエイリアス命令デコーダ34からの内部命令コードを選択し、2バイト目以降は命令ビット連結部33からの内部命令コードを選択するように第1のセレクタ36を制御する。これは、エイリアス命令等が2バイト長以上の命令であるときに、最初の1バイトが命令そのものを示し、2バイト目以降はデータ等であるからである。ここで、グループ変更命令デコーダ37、通常命令デコーダ38、エイリアス変更命令デコーダ39及び複数サイクル命令ステートレジスタ40は、互いに通信を行って動作している。

【0033】

第2のセレクタ42は、クループ変更命令デコーダ37からの制御に応じて、グループレジスタ41が保持しているグループコードの値、又はクループ変更命令デコーダ37より供給されるグループコードの値を選択的にグループ一時記憶レジスタ43に供給する。具体的には、第2のセレクタ42は、グループ一時変更命令に従いグループコードを変更する場合のみ、クループ変更命令デコーダ37からの値を選択して出力し、そうでない場合には、グループレジスタ41からの値を選択して出力する。

なお、図3に示した命令デコーダ部13は、プログラムカウンタ、レジスタ、条件分岐等のフロー制御回路等を含んでいないが、これらを適宜備えるようにしても良い。

【0034】

図4は、グループコードの変更ルールを設定するLUT44の一例を示す図である。

図4に示すようにグループコードの変更ルールは、命令マスクIMk（kは添え字であり、任意の自然数、以下についても同様。）と命令コードICkと変更後のグループコードGCkとを1組として設定する。なお、命令マスクIMk及び命令コードICkは、グループコード（3ビット）と命令コード（8ビット）とに対応する11ビットで設定し、グループコードGCkは、グループコード（3ビット）のみを設定する。

【0035】

命令マスクIMkは、入力される入力命令（内部命令コード）にてマスクするビットを設定する。命令マスクIMkは、マスクするビットには“0”を設定し、そうでないビットには“1”を設定する。

【0036】

命令コードICkは、入力命令と比較する内部命令コードを設定する。命令コードICkは、命令マスクIMkによりマスクされるビットには“0”を設定し、そうでないビットには所望の値を設定する。グループコードGCkは、命令マスクIMkと命令コードICkとで設定される条件に一致した場合に、新たに設定する変更後のグループコードを設定する。

【0037】

例えば、図4に示したように命令マスクIM1、命令コードIC1、グループコードGC1に、値“111100000000”、“101100000000”、“101”がそれぞれ設定されているとき、命令マスクIM1の上位側4ビットが“1”である。したがって、入力命令の上位側4ビットの値と命令コードIC1の上位側4ビットの値とを比較し、一致した場合にはグループコードを“101”に変更する。つまり、入力命令の上位側4ビットの値が“1011”的場合には、グループコードを“101

”に変更する。

【0038】

同様に、例えば命令マスクIM2、命令コードIC2、グループコードGC2に、値“111110000000”、“110110000000”、“110”がそれぞれ設定されている場合には、入力命令の上位側5ビットの値が“11011”的ときグループコードを“110”に変更する。

【0039】

なお、図4に示したLUT44は一例であり、これに限定されるものではない。例えば、命令マスクと命令コードとの複数の組と1つの変更後のグループコードとを1組として設定し、以前の入力命令を含む複数の入力命令に基づいて、グループコードを変更するようなLUTであっても良い。

【0040】

図5は、入力命令（内部命令コード）が図4に示したグループコードの変更ルールを満足するか否かを判定するためのグループ変更判定回路の一例を示す図であり、当該判定回路は例えばグループ変更命令デコーダ37に設けられる。

【0041】

図5に示すように、判定回路では、入力命令における1つのビットINm（mは添え字であり、mは0～10の整数、以下についても同様。）と命令マスクMSKにおける1つのビットMBmとの論理積演算が、対応するビット毎に論理積演算（AND）回路51にて行われる。さらに、AND回路51の演算結果と命令コードCODEにおける1つのビットIBmとの排他的否定論理和演算が、対応するビット毎に排他的否定論理和演算（EX-NOR）回路52にて行われる。従属接続されたAND回路53によりすべてのEX-NOR回路52の演算結果が論理積演算され、その演算結果が選択信号SELとして出力される。

【0042】

このように判定回路を構成することで、命令マスクMSKと命令コードCODEとで設定される変更ルールの条件に一致した場合にのみ、選択信号がハイレベルとなり、当該変更ルールで設定されている変更後のグループコードが選択される。

【0043】

以上、詳しく説明したように本実施形態によれば、複数のプロセッサ11を有する並列プロセッサ10にて、各プロセッサ11の命令デコーダ部13は、命令メモリから読み出した命令コードに、過去の命令コードにより定まるグループコードを附加して内部命令コードを生成する。さらに、命令デコーダ部13は、当該内部命令コードに基づいて、読み出した命令コードに割り当てられている複数の命令の中から実行する命令を一意に決定して各種制御を行う。

【0044】

これにより、1つの命令コードに複数の命令を対応させ、短い命令コード長ですべての命令を表現することができ、当該命令コードを保持するプログラムメモリに要する容量の増加を抑制することができる。さらに、同じ命令コードであっても、過去の命令コードにより定まるグループコードに応じて異なる処理を行うことができ、従来に比べて多様かつ高度な処理を実行することができる。

また、任意の命令を割り当てられるエイリアス命令を設けたことにより、1つの命令コードで他のグループの命令を直ちに実行させることができる。

【0045】

なお、上記実施形態では、命令コードは8ビット、グループコードは3ビットとしたが、これは一例であり、本発明はこれに限定されるものではない。

また、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0046】

【発明の効果】

以上説明したように、本発明によれば、プロセッサにて実行可能なすべての命令に互いに異なる命令コードを対応させずに、1つの命令コードを複数の命令に対応させ、各プロセッサは、命令コードの入力履歴に基づいて、入力される命令コードにより実行する命令を複数の命令の中から一意に決定する。これにより、短い命令コード長ですべての命令を表現することができ、各プロセッサにて命令

コードの保持に要するメモリ容量の増加を抑制することができる。また、命令コードが同じであっても、命令コードの入力履歴に応じて異なる命令を実行することができ、多様かつ異なる処理を複数のプロセッサにより並列して実行することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態による情報処理装置を適用した並列プロセッサの構成を示すブロック図である。

【図 2】

本実施形態における各プロセッサでの処理動作の概念を説明するための図である。

【図 3】

命令デコーダ部の構成例を示すブロック図である。

【図 4】

グループコードの変更ルールを設定するルックアップテーブルの一例を示す図である。

【図 5】

グループ変更判定回路の一例を示す図である。

【符号の説明】

1 0 並列プロセッサ

1 1 プロセッサ

1 2 メモリ

1 3 命令デコーダ部

1 4 演算器

2 1 命令キュー

2 2 グループレジスタ

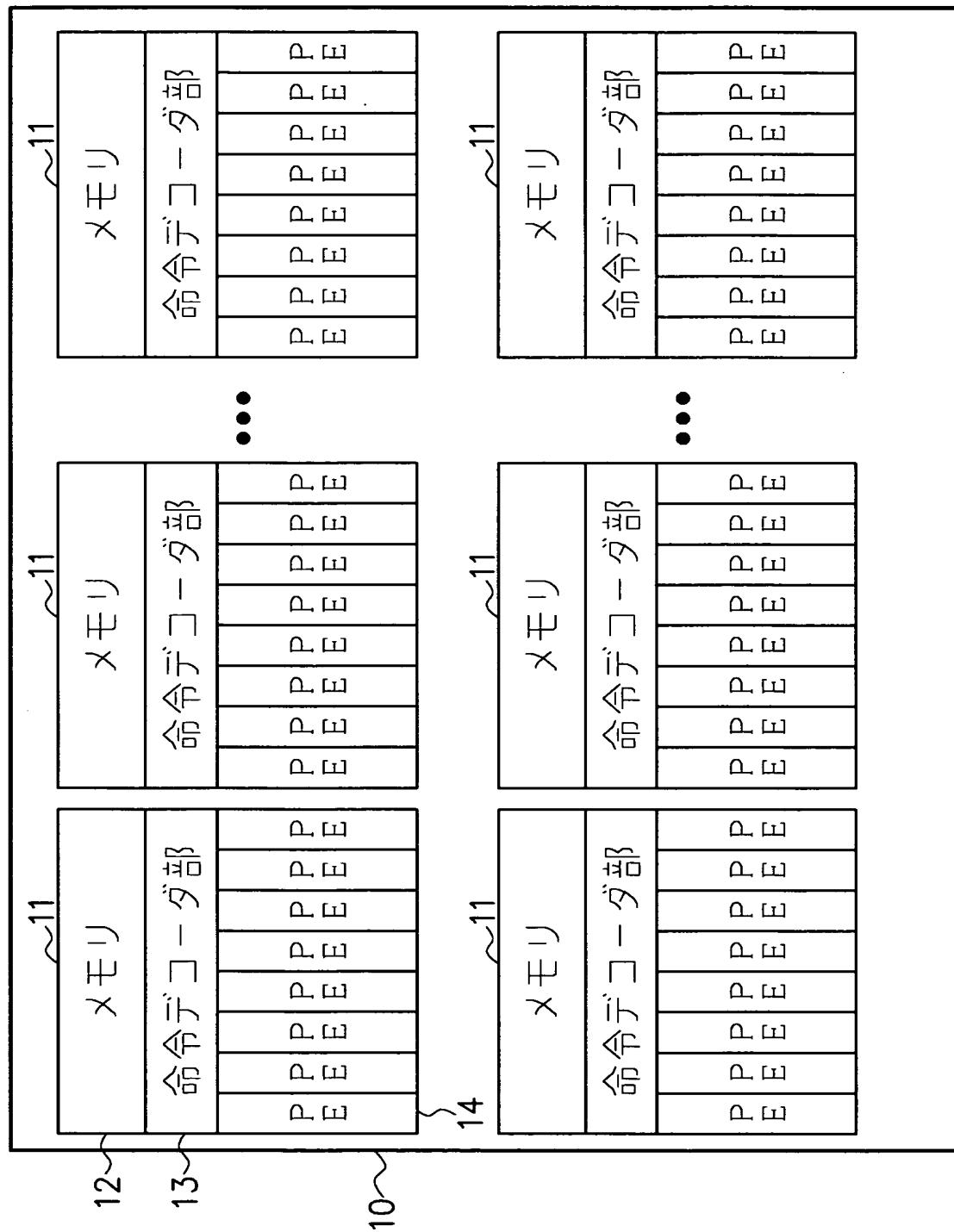
2 3 命令デコーダ回路

2 4 演算器

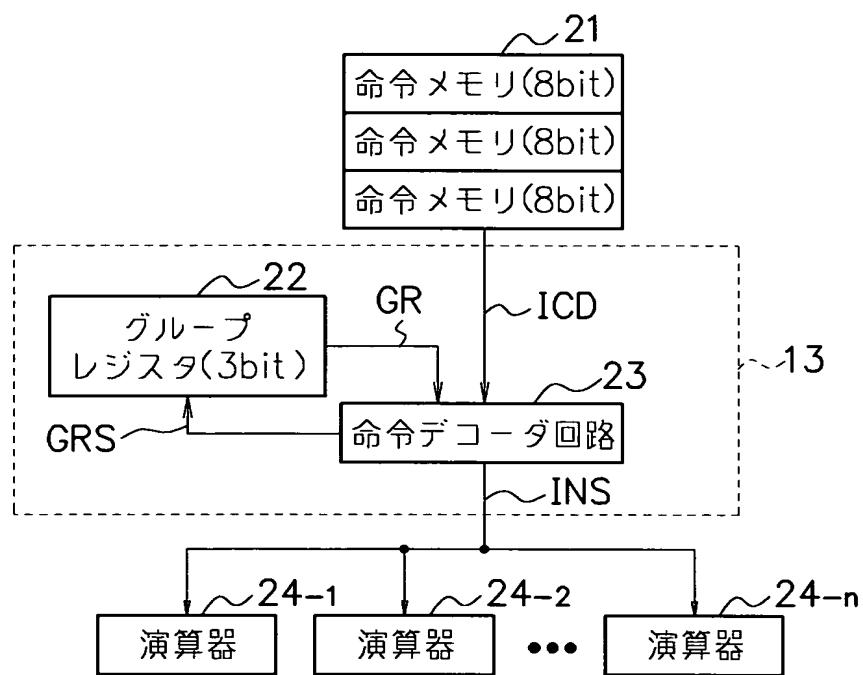
【書類名】

四面

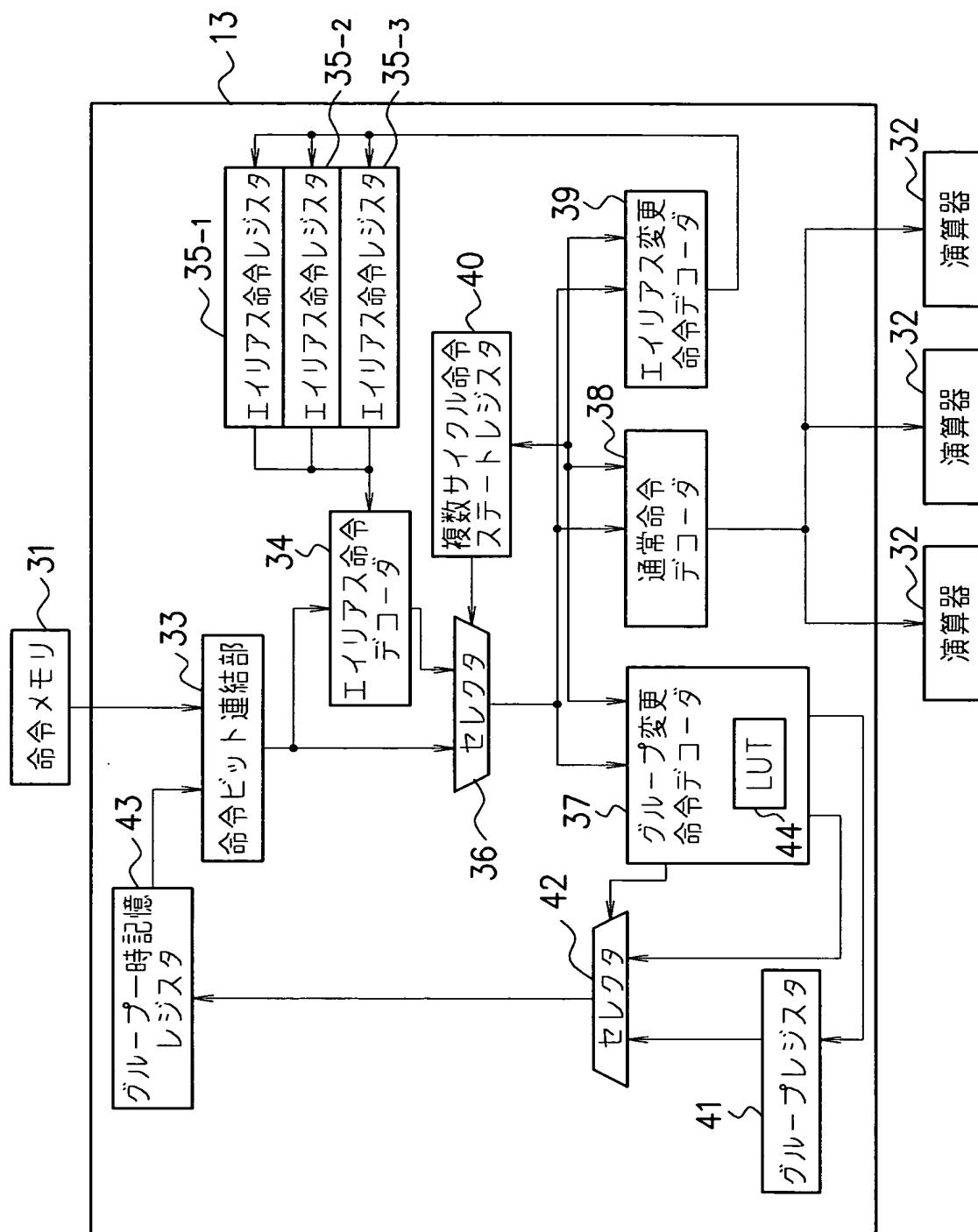
【図 1】



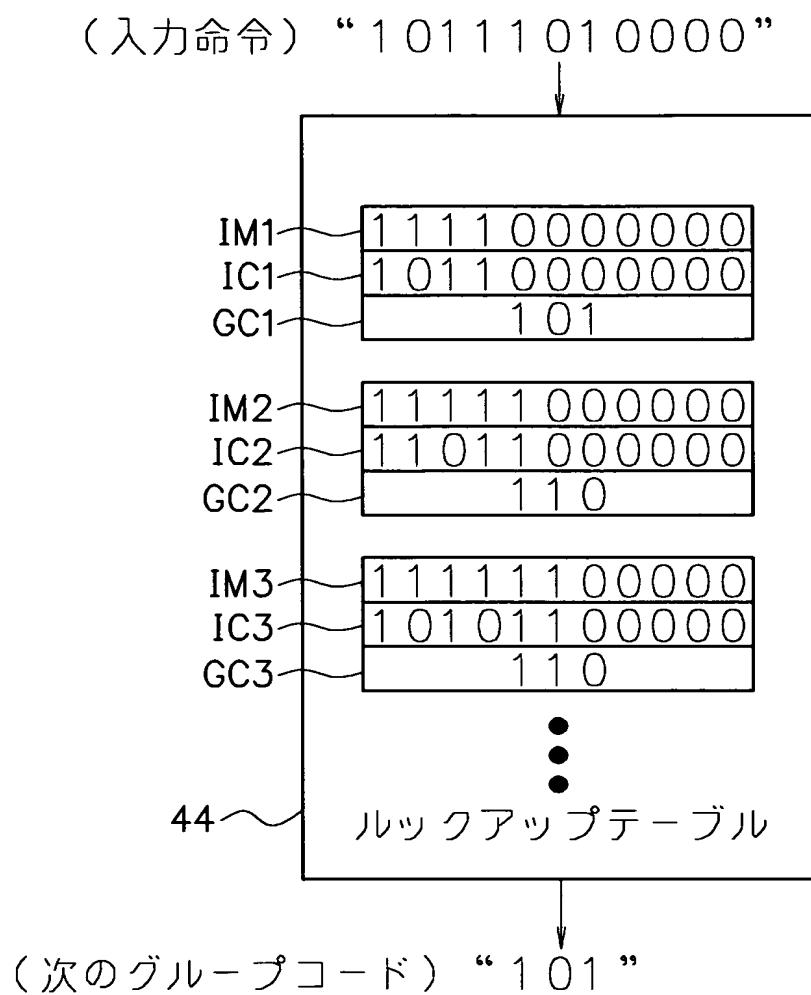
【図2】



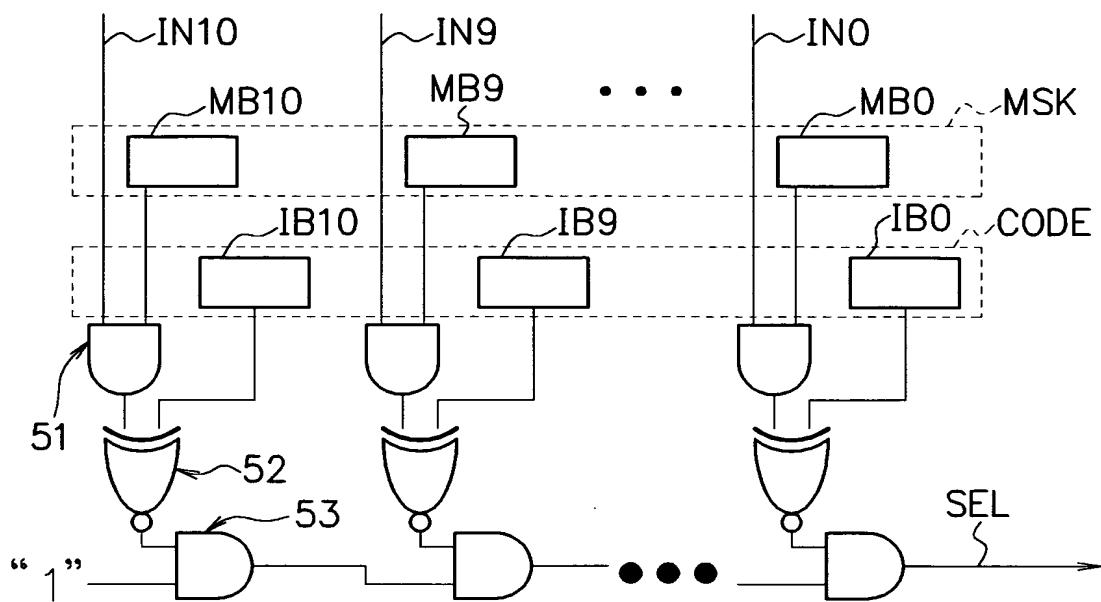
【図3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 各プロセッサにおけるプログラムの保持に要するメモリ容量の増加を抑制しながらも、1つのチップ内に設けた複数のプロセッサにより多様かつ異なる処理を並列して実行できるようにする。

【解決手段】 1つのチップ内に設けた複数のプロセッサのそれぞれにて、入力される命令コードにより実行する命令を、割り当てられている複数の命令の中から、命令コードの入力履歴に基づいてデコード回路により一意に決定するようにして、1つの命令コードを複数の命令に対応させ短い命令コード長ですべての命令を表現することができるようになるとともに、同じ命令コードであっても、命令コードの入力履歴に応じて異なる命令を実行することができるようとする。

【選択図】 図2

特願2003-039741

出願人履歴情報

識別番号 [591022117]

1. 変更年月日 1997年11月17日
[変更理由] 住所変更
住 所 東京都江東区越中島1-3-16-411
氏 名 柴田 直

特願2003-039741

出願人履歴情報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住所 京都府京都市右京区西院溝崎町21番地
氏名 ローム株式会社

特願2003-039741

出願人履歴情報

識別番号

[503053882]

1. 変更年月日

[変更理由]

住所
氏名

2003年 2月 7日

新規登録

東京都文京区根津2-11-11-301

小川 誠